

明 細 書

光電変換デバイス、イメージセンサおよび光電変換デバイスの製造方法 技術分野

[0001] この発明は、複数の光波長域について、各光波長域ごとに受けた光の光量を電気的信号に変換する光電変換デバイスおよびその製造方法、ならびにその光電変換デバイスを備えたイメージセンサに関する。

背景技術

[0002] イメージセンサには、受けた光の光量を電気的信号に変換する光電変換デバイスが備えられている。たとえば、カラー画像を読み取るカラーイメージセンサには、赤、緑および青の各色用のセンサ(フォトダイオード)を有する光電変換デバイスが備えられている。各色用のセンサの入光面には、検出色の光のみを透過するカラーフィルタが設けられており、各センサからは、そのカラーフィルタを介して入射する光の光量に応じた信号が出力される。

[0003] しかし、このような光電変換デバイスは、その製造工程において、フィルタを形成する必要があるため、工程数が多く、製造コストが増大する。そこで、各色のフィルタを廃した光電変換デバイスが提案されている(特開平8-316521号公報参照)。

図8は、フィルタが省略された構造の光電変換デバイスの図解的な断面図である。

この光電変換デバイス100は、シリコンなどからなるp型基体101、およびその上に形成されたp型のエピタキシャル層104を備えている。エピタキシャル層104の上には、フィールド酸化膜107が形成されている。フィールド酸化膜107は、所定間隔ごとに他の部分より厚く形成されており、このフィールド酸化膜107の厚く形成された部分とp型基体101との間には、n型拡散層105およびn型埋め込み層102が形成されている。

[0004] これにより、エピタキシャル層104は複数の領域に分離されており、各領域は、センサI、センサIIおよびセンサIIIを構成している。各センサI, II, IIIにおいて、エピタキシャル層104の表層部中央には、p型のベース領域106が形成されている。

p型基体101とセンサIIおよびセンサIIIのエピタキシャル層104との間には、p型埋

め込み層103が形成されている。これにより、センサIIおよびセンサIIIのエピタキシャル層104の厚さは、センサIのエピタキシャル層104の厚さより薄くなっている。センサIIのエピタキシャル層104の厚さと、センサIIIのエピタキシャル層104の厚さとは、ほぼ同じである。

[0005] センサI, II上のフィールド酸化膜107の上には、多結晶シリコンなどからなり青色光をある程度吸収する吸光材108が形成されている。

各センサI, II, IIIにおいて、光が入射すると、エピタキシャル層104では、それぞれ照射された光の光量に応じた量のキャリア(電子正孔対)が発生し、ベース領域106を介して正孔の量に応じた光電流(光起電力)が取り出される。

[0006] ここで、エピタキシャル層104の光吸収係数は、入射される光の波長が長いほど小さいので、エピタキシャル層104の表面から入射する光は、その波長が長いほど深いところに到達する。このため、エピタキシャル層104の厚さが小さいと、長波長の光(たとえば、赤色光)は充分吸収されなくなる。

この光電変換デバイス100では、センサIのエピタキシャル層104は、赤色光から青色光に至る広い波長域の光を吸収可能な厚さに形成され、センサIIおよびセンサIIIのエピタキシャル層104は、主として緑色光から青色光に至る波長域の光を吸収可能な厚さに形成されている。

[0007] 次に、青色光を吸収する吸光材108の有無に着目すると、センサI, IIの上には吸光材108が設けられているので、センサI, IIのエピタキシャル層104には、赤色光および緑色光が入射される。したがって、センサIIは、主として赤色光および緑色光の光量に対応する光電流を生じさせ、センサIIIは、主として緑色光の光量に対応する光電流を生じさせる。一方、センサIIIの上には、吸光材108は設けられていないので、センサIIIには、赤色光、緑色光および青色光が入射される。このため、センサIIIは、主として緑色光および青色光の光量に対応する光電流を生じさせる。

[0008] このように、各センサI, II, IIIは、吸収して光電流を発生させる対象となる赤色光、緑色光および青色光の組み合わせが異なるから、各センサI, II, IIIでそれぞれ生じる光電流の大きさに基づく演算処理により、赤色光、緑色光および青色光の光量をそれぞれ求めることができる。

ところが、このような光電変換デバイスにおいても、吸光材108を設ける必要があるため、製造コストを充分低減できなかった。

[0009] また、ベース領域106には、それぞれ信号取り出し電極を接続する必要がある。このため、信号取り出し電極を設けるための開口を吸光材108に形成しなければならず、このこともコストを増大させる原因となっていた。

さらに、通常、光電変換デバイスの駆動時には、光を吸収してキャリアを発生させるための半導体層は空乏化されるが、空乏化のために要する電圧は、当該半導体層の厚さが大きくなるほど大きくなる。このため、長波長の光を吸収するために厚くされた半導体領域は、空乏化するために大きな電圧が必要であり、このため、光電変換デバイスの駆動電圧は大きかった。したがって、このような光電変換デバイスを含むイメージセンサの駆動電圧は大きかった。

発明の開示

[0010] この発明の目的は、製造コストを低減できる光電変換デバイスを提供することである。

この発明の他の目的は、製造コストを低減できるイメージセンサを提供することである。

この発明のさらに他の目的は、製造コストを低減できる光電変換デバイスの製造方法を提供することである。

[0011] この発明のさらに他の目的は、駆動電圧が低い光電変換デバイスを提供することである。

この発明のさらに他の目的は、駆動電圧が低いイメージセンサを提供することである。

[0012] この発明の第1の局面に係る光電変換デバイスは、半導体基板上に積層された第1導電型の光電変換層と、この光電変換層内に形成され、当該光電変換層を上記半導体基板に沿って第1光電変換領域、第2光電変換領域および第3光電変換領域に分離する第2導電型の素子分離領域と、上記第1光電変換領域内において、上記光電変換層の表面から所定深さの位置に形成され、当該第1光電変換領域を表層側の第1表層側領域と上記半導体基板側の第1基板側領域とに分割しており、上記

第1表層側領域と上記第1基板側領域とを連通する連通孔を有する第2導電型の第1分割領域と、上記第2光電変換領域内において、上記第1分割領域とほぼ同じ深さの位置または上記第1分割領域よりも浅い位置に形成され、当該第2光電変換領域を表層側の第2表層側領域と上記半導体基板側の第2基板側領域とに分割する第2導電型の第2分割領域と、上記第3光電変換領域内において、上記第2分割領域よりも浅い位置に形成され、当該第3光電変換領域を表層側の第3表層側領域と上記半導体基板側の第3基板側領域とに分割する第2導電型の第3分割領域とを含む。

[0013] この発明によれば、第2分割領域は、光電変換層の表面から第1分割領域とほぼ同じ深さ、または第1分割領域より浅い位置に形成されており、第3分割領域は、光電変換層の表面から第2分割領域より浅い位置に形成されている。

したがって、第1ないし第3分割領域がほぼ同じ厚さを有しているとする、第1表層側領域の厚さは、第2表層側領域の厚さとはほぼ等しいか、または第2表層側領域の厚さより大きい。また、第2表層側領域の厚さは、第3表層側領域の厚さより大きい。

[0014] 第1分割領域に連通孔が形成されていることにより、第1基板側領域で発生したキャリアは、この連通孔を通過して第1表層側領域に移動できる。したがって、第1表層側領域に信号取り出し電極が設けられていると、第1表層側領域および第1基板側領域で発生したキャリアは、ともに第1表層側領域に設けられた信号取り出し電極に移動することができる。このため、第1導電型の第1表層側領域および第1基板側領域と、第2導電型の第1分割領域とにより構成されるダイオード(以下、「第1フォトダイオード」という。)は、第1表層側領域および第1基板側領域で発生するキャリア量に対応する大きさの光電流(光起電力)を発生させることができる。

[0015] 一方、第2および第3表層側領域に、それぞれ信号取り出し電極が設けられている場合、第2および第3表層側領域で発生したキャリアは、それぞれ信号取り出し電極に移動することができるが、第2および第3基板側領域で発生したキャリアは、それぞれ第2および第3分割領域に阻まれて、信号取り出し電極に移動できない。

このため、第2表層側領域と第2分割領域とにより構成されるダイオード(以下、「第2フォトダイオード」という。)では、第2表層側領域で発生するキャリア量に対応する大きさの光電流(光起電力)しか発生させることができず、第3表層側領域と第3分割

領域とにより構成されるダイオード(以下、「第3フォトダイオード」という。)では、第3表層側領域で発生するキャリア量に対応する大きさの光電流(光起電力)しか発生させることができない。

[0016] ここで、光電変換層の光吸収係数は、入射される光の波長が長いほど小さいので、光電変換層の表面から入射する光は、その波長が長いほど深いところに到達する。このため、第1表層側領域および第1基板側領域は、第2および第3表層側領域と比べて、より長波長側に至る広い波長域(短波長域、中波長域、長波長域)の光を吸収して、このような光の光量に対応する量のキャリアを生じさせることができる。そして、第1フォトダイオードは、このようなキャリア量に相当する光電流(光起電力)を生じる。

[0017] また、第2表層側領域は、第3表層側領域と比べて、より長波長側に至る波長域(短波長域、中波長域)の光を吸収して、このような光の光量に対応する量のキャリアを生じさせることができる。そして、第2フォトダイオードは、このようなキャリア量に相当する光電流(光起電力)を生じる。第3表面側領域は、短波長側の狭い波長域の光を吸収して、このような光の光量に対応する量のキャリアを生じさせることができる。そして、第3フォトダイオードは、このようなキャリア量に相当する光電流(光起電力)を生じる。

[0018] よって、第1ないし第3フォトダイオードで生じる光電流(光起電力)に基づく演算処理により、異なる3種類の波長域の光(たとえば、赤色光、緑色光および青色光)の光量を求めることができる。

以上のように、この光電変換デバイスでは、第1ないし第3フォトダイオードが互いに異なる波長依存性を有しているので、フィルタや吸光材を用いずに、異なる3種類の波長域について、各波長域の光の光量を検出することができる。そのため、この光電変換デバイスの製造工程において、フィルタや吸光材を形成する必要がない。よって、光電変換デバイスの製造コストを低減することができる。

[0019] この光電変換デバイスで光量の測定をするときは、第1ないし第3フォトダイオードに逆バイアス電圧を印加して、第1ないし第3フォトダイオードを空乏化することができる。半導体層を空乏化するために必要な電圧は、その半導体層の厚さに依存するから、第1表層側領域および第1基板側領域(第1光電変換領域)をほぼ完全に空乏化

するために必要な電圧は、第1分割領域が設けられていない場合と比べて小さい。

- [0020] 各素子分離領域は、たとえば、上記第1ないし第3分割領域に接続された上記第2導電型の拡散分離領域を含んでもよく、この場合、上記光電変換デバイスは、各拡散分離領域に共通接続された上記第2導電型の共通電極層を含んでもよい。

この場合、第1ないし第3分割領域、拡散分離領域および共通電極層は、同じ導電型を有するので、共通電極層を介して、第1ないし第3フォトダイオードに一括して逆バイアス電圧を印加できる。

- [0021] 共通電極層は、たとえば、上記半導体基板と上記光電変換層との間に設けられていてもよい。

上記素子分離領域は、光電変換層(拡散分離領域)の表層部に形成された絶縁体部を含むことが好ましい。この絶縁体部により、光電変換層の表層部において、素子分離領域で区画された領域間のリーク電流を少なくすることができる。光電変換層がシリコンからなる場合、絶縁体部としては、たとえば、LOCOS技術により光電変換層(拡散分離領域)の表層部における所定の領域が選択的に酸化されてなる酸化膜を用いることができる。

- [0022] 上記第1ないし第3表層側領域の表層部には、上記第2導電型の第1ないし第3最表層領域が形成されていることが好ましい。これらの第1ないし第3最表層領域と第1ないし第3表層側領域とは、フォトダイオード(以下、それぞれ、「第1ないし第3表面フォトダイオード」という。)を構成する。それぞれ上下に形成された第1ないし第3フォトダイオードおよび第1ないし第3表面フォトダイオードにより、その位置で受けられる光の光量に対応する大きな光電流を生じさせることができる。

- [0023] 上記素子分離領域が、上記共通電極層に接続された上記拡散分離領域を含んでいる場合、上記最表層領域は、上記拡散分離領域に接続されていてもよい。

この場合、共通電極層を介して、第1ないし第3フォトダイオードおよび第1ないし第3表面フォトダイオードに一括して逆バイアス電圧を印加できる。

この発明の第2の局面に係る光電変換デバイスは、半導体基板上に積層された第1導電型の光電変換層と、この光電変換層の表面から所定深さの位置に形成され、当該光電変換層を表層側の表層側領域と上記半導体基板側の基板側領域とに分

割しており、上記表層側領域と上記基板側領域とを連通する連通孔を有する第2導電型の分割領域とを含む。

- [0024] この発明によれば、分割領域には連通孔が形成されているので、表層側領域と基板側領域とは、この連通孔内を介して連通している。このため、表層側領域に信号取り出し電極が設けられていると、表層側領域および基板側領域に光が入射することによりこれらの領域で発生したキャリアは、ともに信号取り出し電極に移動することができる。

一方、表層側領域と基板側領域との間に分割領域が介在していることにより、空乏層が、光電変換層の外部表面からだけでなく、光電変換層の内部、すなわち、表層側領域と分割領域との界面、および基板側領域と分割領域との界面からも広がるようにすることができる。

- [0025] したがって、たとえば、赤色光を含む広い波長域の光を吸収するために、表層側領域と基板側領域との合計厚さが大きくされていた場合でも、表層側領域および基板側領域をほぼ完全に空乏化するために必要な電圧を、分割領域が形成されていない場合と比べて低くできる。すなわち、この光電変換デバイスの駆動電圧は低い。

この発明の第3の局面に係るイメージセンサは、光電変換デバイスと、この光電変換デバイスを駆動するための駆動回路とを含む。上記光電変換デバイスは、半導体基板上に積層された第1導電型の光電変換層と、この光電変換層内に形成され、当該光電変換層を上記半導体基板に沿って第1光電変換領域、第2光電変換領域および第3光電変換領域に分離する第2導電型の素子分離領域と、上記第1光電変換領域内において、上記光電変換層の表面から所定深さの位置に形成され、当該第1光電変換領域を表層側の第1表層側領域と上記半導体基板側の第1基板側領域とに分割しており、上記第1表層側領域と上記第1基板側領域とを連通する連通孔を有する第2導電型の第1分割領域と、上記第2光電変換領域内において、上記第1分割領域とほぼ同じ深さの位置または上記第1分割領域よりも浅い位置に形成され、当該第2光電変換領域を表層側の第2表層側領域と上記半導体基板側の第2基板側領域とに分割する第2導電型の第2分割領域と、上記第3光電変換領域内において、上記第2分割領域よりも浅い位置に形成され、当該第3光電変換領域を表層側

の第3表層側領域と上記半導体基板側の第3基板側領域とに分割する第2導電型の第3分割領域とを備えている。

[0026] この発明のイメージセンサは、光電変換デバイスにフィルタや吸光材を形成する必要がないので、製造コストの低減を図ることができる。

また、本発明の第4の局面に係るイメージセンサは、光電変換デバイスと、この光電変換デバイスを駆動するための駆動回路とを含む。上記光電変換デバイスは、半導体基板上に積層された第1導電型の光電変換層と、この光電変換層の表面から所定深さの位置に形成され、当該光電変換層を表層側の表層側領域と上記半導体基板側の基板側領域とに分割しており、上記表層側領域と上記基板側領域とを連通する連通孔を有する第2導電型の分割領域とを備えている。

[0027] この発明のイメージセンサは、駆動電圧を低くすることができる光電変換デバイスを含むので、そのイメージセンサの駆動電圧を低くすることができる。

この発明の第5の局面に係る光電変換デバイスの製造方法は、半導体基板上に第1導電型の光電変換層を積層する積層工程と、上記光電変換層内に、当該光電変換層を上記半導体基板に沿って第1光電変換領域、第2光電変換領域および第3光電変換領域に分離する第2導電型の素子分離領域を形成する素子分離工程と、上記第1光電変換領域内において、上記光電変換層の表面から所定深さの位置に、当該第1光電変換領域を表層側の第1表層側領域と上記半導体基板側の第1基板側領域とに分割し、かつ、上記第1表層側領域と上記第1基板側領域とを連通する連通孔を有する第2導電型の第1分割領域を形成するとともに、上記第2光電変換領域内において、上記第1分割領域とほぼ同じ深さの位置に、当該第2光電変換領域を表層側の第2表層側領域と上記半導体基板側の第2基板側領域とに分割するための第2導電型の第2分割領域を形成する工程と、上記第3光電変換領域内において、上記第2分割領域よりも浅い位置に、当該第3光電変換領域を表層側の第3表層側領域と上記半導体基板側の第3基板側領域とに分割するための第2導電型の第3分割領域を形成する工程とを含む。

[0028] この製造方法により、本発明の第1の局面に係る光電変換デバイスであって、第2分割領域が光電変換層の表面から第1分割領域とほぼ同じ深さに形成された光電

変換デバイスを製造できる。

第1分割領域および第2分割領域を形成する工程において、第1分割領域と第2分割領域とは、光電変換層の表面からほぼ同じ深さの位置に形成される。したがって、第1分割領域および第2分割領域を形成する工程を同時に実施して、第1分割領域および第2分割領域を一括して形成できる。

- [0029] 上記第1分割領域および上記第2分割領域を形成する工程は、上記光電変換層の表面から第2導電型の不純物を所定の注入エネルギーで注入する工程を含んでもよく、この場合、上記第3分割領域を形成する工程は、上記光電変換層の表面から第2導電型の不純物を上記所定の注入エネルギーよりも小さな注入エネルギーで注入する工程を含んでもよい。

この構成によれば、第1ないし第3分割領域は、光電変換層の表面から不純物を注入することにより形成される。この際、第1ないし第3光電変換領域それぞれにおける第1ないし第3分割領域の形成深さは、当該不純物の注入エネルギーにより決まる。具体的には、不純物の注入エネルギーが大きくなるほど、形成深さは深くなる。したがって、不純物の注入エネルギーにより、第1ないし第3光電変換領域の形成深さを制御できる。

- [0030] 第1分割領域および第2分割領域を形成する工程において、不純物は同じ注入エネルギー（所定の注入エネルギー）で注入されるので、第1および第2分割領域は、光電変換層の表面から同じ深さに形成される。

一方、第3分割領域を形成する工程における不純物の注入エネルギーは、第1および第2分割領域を形成する工程における不純物の注入エネルギーより小さいから、第3分割領域は、光電変換層の表面から第1および第2分割領域より浅い位置に形成される。

- [0031] 第1分割領域を形成する工程において、不純物の注入は、光電変換層上に所定のパターンを有するマスク（たとえば、レジスト膜）が形成された状態で行うことができる。マスクは、たとえば、第1分割領域の連通孔に対応する領域を覆う部分を有するものであってもよい。この場合、連通孔に対応する領域に不純物が注入されないようにすることができる。すなわち、連通孔を有する第1分割領域を得ることができる。

[0032] この発明の第6の局面に係る光電変換デバイスの製造方法は、半導体基板上に第1導電型の光電変換層を積層する積層工程と、上記光電変換層内に、当該光電変換層を上記半導体基板に沿って第1光電変換領域、第2光電変換領域および第3光電変換領域に分離する第2導電型の素子分離領域を形成する素子分離工程と、上記第1光電変換領域内において、上記光電変換層の表面から所定深さの位置に、当該第1光電変換領域を表層側の第1表層側領域と上記半導体基板側の第1基板側領域とに分割し、かつ、上記第1表層側領域と上記第1基板側領域とを連通する連通孔を有する第2導電型の第1分割領域を形成する工程と、上記第2光電変換領域内において、上記第1分割領域よりも浅い位置に、当該第2光電変換領域を表層側の第2表層側領域と上記半導体基板側の第2基板側領域とに分割するための第2導電型の第2分割領域を形成する工程と、上記第3光電変換領域内において、上記第2分割領域よりも浅い位置に、当該第3光電変換領域を表層側の第3表層側領域と上記半導体基板側の第3基板側領域とに分割するための第2導電型の第3分割領域を形成する工程とを含む。

[0033] この製造方法により、本発明の第1の局面に係る光電変換デバイスであって、第2分割領域が光電変換層の表面から第1分割領域より浅い位置に形成された光電変換デバイスを製造できる。

上記第1分割領域を形成する工程は、上記光電変換層の表面から第2導電型の不純物を所定の第1注入エネルギーで注入する工程を含んでもよく、この場合、上記第2分割領域を形成する工程は、上記光電変換層の表面から第2導電型の不純物を上記第1注入エネルギーよりも小さな第2注入エネルギーで注入する工程を含んでもよく、この場合、上記第3分割領域を形成する工程は、上記光電変換層の表面から第2導電型の不純物を上記第2注入エネルギーよりも小さな第3注入エネルギーで注入する工程を含んでもよい。

[0034] この構成によれば、第2注入エネルギーが第1注入エネルギーより小さいことにより、第2分割領域を、光電変換層の表面から第1分割領域より浅い位置に形成することができる。また、第3注入エネルギーが第2注入エネルギーより小さいことにより、第3分割領域を、光電変換層の表面から第2分割領域より浅い位置に形成することがで

きる。

本発明における上述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

図面の簡単な説明

[0035] [図1]本発明の第1の実施形態に係る光電変換デバイスの構造を示す図解的な平面図である。

[図2]図1のII-II切断線断面図である。

[図3A]図1のIIIA-IIIA切断線断面図である。

[図3B]図1のIIIB-IIIB切断線断面図である。

[図3C]図1のIIIC-IIIC切断線断面図である。

[図4]光電変換層表面からの深さと光強度との関係を示す図である。

[図5]本発明の第2の実施形態に係る光電変換デバイスの構造を示す図解的な断面図である。

[図6A]図5に示す光電変換デバイスの製造方法を説明するための図解的な断面図である。

[図6B]図5に示す光電変換デバイスの製造方法を説明するための図解的な断面図である。

[図6C]図5に示す光電変換デバイスの製造方法を説明するための図解的な断面図である。

[図6D]図5に示す光電変換デバイスの製造方法を説明するための図解的な断面図である。

[図6E]図5に示す光電変換デバイスの製造方法を説明するための図解的な断面図である。

[図6F]図5に示す光電変換デバイスの製造方法を説明するための図解的な断面図である。

[図7]図1、図2および図3Aないし図3Cに示す光電変換デバイスと、その駆動回路を含むイメージセンサの回路図である。

[図8]従来の光電変換デバイスの構造を示す図解的な断面図である。

発明を実施するための最良の形態

[0036] 図1は、本発明の第1の実施形態に係る光電変換デバイスの構造を示す図解的な平面図であり、図2は、図1のII-II切断線断面図であり、図3Aないし図3Cは、それぞれ図1のIIIA-IIIA切断線断面図、IIIB-IIIB切断線断面図およびIIIC-IIIC切断線断面図である。

この光電変換デバイス1は、p型のシリコン基板2、およびシリコン基板2上に順に積層された n^+ 型の共通電極層3およびp型の光電変換層4を備えている。光電変換層4は、ほぼ一定の厚さ($6\mu\text{m}$ 程度)を有している。光電変換層4は、素子分離領域5により、第1光電変換領域6、第2光電変換領域7および第3光電変換領域8に分離されている。第1ないし第3光電変換領域6, 7, 8は、図1に示すように、シリコン基板2を垂直に見下ろす平面視において、ほぼ正方形の形状を有している。

[0037] 素子分離領域5は、光電変換層4の表層部に設けられたLOCOS(localized oxidation of silicon)による酸化膜5Aと、酸化膜5Aと共通電極層4との間に渡って設けられたn型の拡散分離領域5Bとを含んでいる。拡散分離領域5Bの幅(シリコン基板2に沿う方向の長さ)は、酸化膜5Aの幅(シリコン基板2に沿う方向の長さ)より大きい。

第1光電変換領域6内において、光電変換層4の表面から所定深さの位置(第1光電変換領域6の厚さ方向途中)には、 n^+ 型の第1分割領域9が形成されている。この第1分割領域9により、第1光電変換領域6は、表層側の第1表層側領域6Aと、シリコン基板2側の第1基板側領域6Bとに分割されている。第1表層側領域6Aの厚さは、 $2\mu\text{m}\sim 3\mu\text{m}$ である。

[0038] 第1分割領域9には、連通孔9aが形成されている。連通孔9aの形状は、たとえば、矩形であり、この場合、連通孔9aの一辺の長さは第1分割領域9の一辺の長さの2分の1以下である。第1表層側領域6Aと第1基板側領域6Bとは、連通孔9aを介して連通している。

第2光電変換領域7内において、光電変換層4の表面から第1分割領域9とほぼ同じ深さの位置(第2光電変換領域7の厚さ方向途中)には、 n^+ 型の第2分割領域10が形成されている。第2分割領域10の厚さは、第1分割領域9の厚さにほぼ等しい。第

2分割領域10により、第2光電変換領域7は、表層側の第2表層側領域7Aと、シリコン基板2側の第2基板側領域7Bとに分割されている。

- [0039] 第2分割領域10が、第1分割領域9とほぼ同じ深さの位置に形成されていることにより、第2表層側領域7Aの厚さは、第1表層側領域6Aの厚さとほぼ等しくなっている。したがって、第2表層側領域7Aの厚さは、 $2\mu\text{m}$ ～ $3\mu\text{m}$ である。

第2分割領域10は、シリコン基板2を垂直に見下ろす平面視において、第2光電変換領域7とほぼ同じ領域に形成されており、第2表層側領域7Aと第2基板側領域7Bとを連通させるような連通孔を有していない。したがって、第2表層側領域7Aと第2基板側領域7Bとは、第2分割領域10により完全に隔てられており、後述するように、第2表層側領域7Aで発生した電流のみが、信号として用いられるようになっている。

- [0040] 第3光電変換領域8内において、光電変換層4の表面から第2分割領域9より浅い位置(第3光電変換領域8の厚さ方向途中)には、 n^+ 型の第3分割領域11が形成されている。第3分割領域11の厚さは、第1および第2分割領域9, 10の厚さにほぼ等しい。第3分割領域11により、第3光電変換領域8は、表層側の第3表層側領域8Aと、シリコン基板2側の第3基板側領域8Bとに分割されている。

- [0041] 第3分割領域11が第2分割領域10より浅い位置に形成されていることにより、第3表層側領域8Aの厚さは第2表層側領域7Aの厚さより小さくなっている。第3表層側領域8Aの厚さは、 $1\mu\text{m}$ 程度である。

第3分割領域11は、シリコン基板2を垂直に見下ろす平面視において、第3光電変換領域8とほぼ同じ領域に形成されており、第3表層側領域8Aと第3基板側領域8Bとを連通させるような連通孔を有していない。したがって、第3表層側領域8Aと第3基板側領域8Bとは、第3分割領域11により完全に隔てられており、後述するように、第3表層側領域8Aで発生した電流のみが、信号として用いられるようになっている。

- [0042] 第1ないし第3分割領域9, 10, 11の周縁部は、全周に渡って拡散分離領域5Bに接続されている。

第1ないし第3光電変換領域6, 7, 8の表層部には、それぞれ n^+ 型の第1ないし第3最表層領域12, 13, 14、および p^+ 型の第1ないし第3信号取り出し領域15, 16, 17が形成されている。

[0043] 図1に示すように、シリコン基板2を垂直に見下ろす平面視において、第1ないし第3信号取り出し領域15, 16, 17は、それぞれ第1ないし第3光電変換領域6, 7, 8の中央部に対して、一方側(図1に示す第1ないし第3光電変換領域6, 7, 8の配列方向に対して一方の側方)に偏った位置に設けられている。第1ないし第3最表層領域12, 13, 14は、それぞれ第1ないし第3信号取り出し領域15, 16, 17を取り囲むように、第1ないし第3信号取り出し領域15, 16, 17とわずかな間隔をあけて設けられている。

[0044] 第1ないし第3信号取り出し領域15, 16, 17は、素子分離領域5の拡散分離領域5Bに接続されている。

図2を参照して、第1分割領域9と第1表層側領域6Aおよび第1基板側領域6Bとは、第1フォトダイオード D_{1A} を構成しており、第2分割領域10と第2表層側領域7Aとは、第2フォトダイオード D_{2A} を構成しており、第3分割領域11と第3表層側領域8Aとは、第3フォトダイオード D_{3A} を構成している。

[0045] また、第1最表層領域12と第1表層側領域6Aとは、第1表面フォトダイオード D_{1B} を構成しており、第2最表層領域13と第2表層側領域7Aとは、第2表面フォトダイオード D_{2B} を構成しており、第3最表層領域14と第3表層側領域8Aとは、第3表面フォトダイオード D_{3B} を構成している。

光電変換デバイス1において、素子分離領域5に区画された領域は、それぞれ、第1ないし第3フォトダイオード D_{1A} , D_{2A} , D_{3A} と第1ないし第3表面フォトダイオード D_{1B} , D_{2B} , D_{3B} とを備えた第1ないし第3センサ部21, 22, 23を構成している。

[0046] 第1ないし第3信号取り出し領域15, 16, 17には、それぞれアノード電極(信号取り出し電極)24, 25, 26が接続されており、第1ないし第3フォトダイオード D_{1A} , D_{2A} , D_{3A} および第1ないし第3表面フォトダイオード D_{1B} , D_{2B} , D_{3B} で生じた光電流(光起電力)を、第1ないし第3センサ部21, 22, 23ごとに個別に取り出せるようになっている。

[0047] 図1、図2および図3Aないし図3Cには、第1ないし第3センサ部21, 22, 23を各1つずつ示しているが、この光電変換デバイス1には、複数組の第1ないし第3センサ部21, 22, 23が備えられていてもよい。この場合、複数組の第1ないし第3センサ部21, 22, 23は、シリコン基板2の面内方向で直線的または二次元的に配列される。

[0048] また、用途に応じて、第1ないし第3センサ部21, 22, 23のうち、いずれかのセンサ部21, 22, 23のみを使用するようにしてもよい。

共通電極層3は、第1ないし第3センサ部21, 22, 23にまたがる領域に形成されており、各素子分離領域5の拡散分離領域5Bは、共通電極層3に接続されている。したがって、第1ないし第3分割領域9, 10, 11および第1ないし第3最表層領域12, 13, 14は、拡散分離領域5Bを介して共通電極層3に接続されている。

[0049] 第1ないし第3分割領域9, 10, 11、第1ないし第3最表層領域12, 13, 14、拡散分離領域5Bおよび共通電極層3の導電型は、いずれも n^+ 型または n 型であるので、共通電極層3を介して、第1ないし第3フォトダイオード D_{1A} , D_{2A} , D_{3A} および第1ないし第3表面フォトダイオード D_{1B} , D_{2B} , D_{3B} に一括して、逆バイアス電圧を印加できる。

[0050] 光電変換層4では入射光量に対応する量のキャリアが発生する。第1センサ部21において、第1表層側領域6Aと第1基板側領域6Bとは、連通孔9aを介して連通しているから、第1表層側領域6Aおよび第1基板側領域6Bで生じたキャリアは、いずれも、第1信号取り出し領域15を介して、アノード電極24に移動できる。

このため、第1フォトダイオード D_{1A} および第1表面フォトダイオード D_{1B} では、第1表層側領域6Aおよび第1基板側領域6Bで発生するキャリア量に対応する大きさの光電流(光起電力)を取り出すことができる。

[0051] 一方、第2および第3表層側領域7A, 8Aで発生したキャリアは、それぞれ第2および第3信号取り出し領域16, 17を介して、アノード電極25, 26に移動することができるが、第2および第3基板側領域7B, 8Bで発生したキャリアは、それぞれ第2および第3分割領域10, 11に阻まれて、アノード電極25, 26に移動できない。

このため、第2フォトダイオード D_{2A} および第2表面フォトダイオード D_{2B} では、第2表層側領域7Aで発生するキャリア量に対応する大きさの光電流(光起電力)のみを取り出すことができ、第3フォトダイオード D_{3A} および第3表面フォトダイオード D_{3B} では、第3表層側領域8Aで発生するキャリア量に対応する大きさの光電流(光起電力)のみを取り出すことができる。言い換えれば、第2基板側領域7Bや第3基板側領域8Bで発生する主に赤色光に応じた光電流を、受光した光量を求める演算に用いないようにすることができる(後述参照)。

[0052] 図4は、光電変換層4におけるその表面からの深さと光強度との関係を示す図である。

光電変換層4内にその表面から入った光は光電変換層4に吸収されるので、光強度は光電変換層4の表面からの深さが大きくなるとともに小さくなる。このとき、波長が長い光ほど光電変換層4による吸収は小さくなり、光電変換層4の深部に到達する。

このため、波長が620nmの光(赤色光)は、光電変換層4の表面から6 μ m以上の深部まで到達するが、波長が530nmの光(緑色光)は、光電変換層4の表面から5 μ m程度の深さまでしか到達せず、波長が470nmの光(青色光)は、光電変換層4の表面から3 μ m程度の深さまでしか到達しない。すなわち、第2表層側領域7Aでは赤色光を充分吸収できず、第3表層側領域8Aでは赤色光および緑色光を充分吸収できない。

[0053] したがって、第1表層側領域6Aおよび第1基板側領域6Bでは、赤色光から青色光に至る波長域の光が吸収され、その光量に対応する量のキャリアが発生する。また、第2表層側領域7Aでは、主として緑色光から青色光に至る波長域の光が吸収され、その光量に対応する量のキャリアが発生する。そして、第3表層側領域8Aでは、主として青色光付近の波長域の光が吸収され、その光量に対応する量のキャリアが発生する。

[0054] 言い換えれば、第1表層側領域6Aおよび第1基板側領域6Bの合計厚さは、赤色光から青色光に至る波長域の光が吸収されるように設定されており、第2表層側領域7Aの厚さは、緑色光から青色光に至る波長域の光を吸収できるように設定されており、第3表層側領域8Aの厚さは、青色光付近の波長域の光を吸収できるように設定されている。

以上のことにより、第1フォトダイオード D_{1A} および第1表面フォトダイオード D_{1B} (第1センサ部21)では、第1基板側領域6Bおよび第1表層側領域6Aで発生した赤色～青色光によるキャリアの量に対応する光電流(光起電力)が生じる。同様に、第2フォトダイオード D_{2A} および第2表面フォトダイオード D_{2B} (第2センサ部22)では、第2表層側領域7Aで発生した緑色～青色光によるキャリアの量に対応する光電流(光起電力)が生じ、第3フォトダイオード D_{3A} および第3表面フォトダイオード D_{3B} (第3センサ部2

3)では、第3表層側領域8Aで発生した青色光によるキャリアの量に対応する光電流(光起電力)が生じる。

[0055] 酸化膜5Aが形成されていることにより、光電変換層4の表層部において、隣接するセンサ部21, 22, 23間のリーク電流は少ない。

このように、第1ないし第3センサ部21, 22, 23は、吸収して光電流を発生させる対象となる赤色光、緑色光および青色光の組み合わせが異なるから、これらの光電流(光起電力)の値に基づいて演算処理することにより、赤色光の光量、緑色光の光量および青色光の光量をそれぞれ求めることができる。すなわち、この光電変換デバイス1により、フィルタや吸光材によらず、3種類の波長について、第1ないし第3センサ部21, 22, 23が受けた光の光量を求めることができる。

[0056] また、光電変換デバイス1が複数組の第1ないし第3センサ部21, 22, 23を備えていれば、第1ないし第3センサ部21, 22, 23の配列方向に関して、3種類の波長について光量の分布を求めることができる。

第1光電変換領域6において、連通孔9aを有する第1分割領域9が設けられていない場合、空乏層は、第1光電変換領域6と第1最表層領域12との界面、および第1光電変換領域6と共通電極層3との界面から広がる。これに対して、この光電変換デバイス1のように、第1分割領域9が設けられている場合、空乏層は、第1光電変換領域6(第1表層側領域6A)と第1最表層領域12との界面、および第1光電変換領域6(第1基板側領域6B)と共通電極層3との界面に加えて、第1表層側領域6Aと第1分割領域9との界面、および第1基板側領域6Bと第1分割領域9との界面からも広がる。

[0057] 半導体層を完全に空乏化するために必要な電圧は、その半導体層の厚さに依存するから、第1表層側領域6Aおよび第1基板側領域6Bをほぼ完全に空乏化するために必要な電圧は、第1分割領域9が形成されていない場合と比べて低くできる。このため、このような光電変換デバイス1は、低消費電力が求められる携帯機器用として適している。

図5は、本発明の第2の実施形態に係る光電変換デバイスの構造を示す図解的な断面図である。図5において、図2に示す各部に対応する部分には、図2と同じ参照

符号を付して説明を省略する。

- [0058] この光電変換デバイス31では、第1分割領域9に相当する第1分割領域32は、光電変換層4の表面から第1分割領域9より深い位置に形成されている。したがって、光電変換デバイス31の光電変換層4において、第1分割領域32は、第2分割領域10より深い位置に形成されている。

これにともなって、第1表層側領域6Aに相当する第1表層側領域6Cの厚さは、第1表層側領域6Aの厚さより大きくなっていると同時に、第1基板側領域6Bに相当する第1基板側領域6Dの厚さは、第1基板側領域6Dの厚さより小さくなっている。

- [0059] 第1表層側領域6Cおよび第1基板側領域6Dの合計厚さは、第1表層側領域6Aおよび第1基板側領域6Bの合計厚さにほぼ等しく、第2表層側領域7Aの厚さより大きい。このため、光電変換デバイス31においても、第1光電変換領域6において、第2光電変換領域7よりも、より長波長側に至る広い波長域の光が吸収されてキャリアが発生するが、光電変換デバイス1の第1光電変換領域6と比べて、表層側(第1表層側領域6C)でより多くの光が吸収されてキャリアが発生する。

- [0060] 図6Aないし図6Fは、光電変換デバイス31の製造方法を説明するための図解的な断面図である。

まず、シリコン基板2の一方表面に、n型の不純物(たとえば、ヒ素(As))が注入されて、シリコン基板2の表層部にn⁺型の共通電極層3が形成される(図6A参照)。共通電極層3は、シリコン基板2の一方表面にヒ素ガラスを塗布し、このヒ素ガラスからシリコン基板2にヒ素を拡散させることにより形成してもよい。

- [0061] 続いて、共通電極層3の上にエピタキシャル成長により、6 μ m \sim 8 μ mの厚さを有するp⁻型の光電変換層4が形成される(図6B参照)。

次に、光電変換層4の所定の領域に、所定のパターンを有するレジスト膜の開口を介して、その表面からn型の不純物(たとえば、リン(P))が注入され、さらに、この不純物が光電変換層4の深部に拡散されてn型の拡散分離領域5Bが形成される。拡散により、n型の不純物は、共通電極層3と光電変換層4との界面に至るようにされる。これにより、光電変換層4の表面に露出され、共通電極層3に接続された拡散分離領域5Bが得られる。

[0062] さらに、公知のLOCOS技術により、拡散分離領域5B表層部の所定の領域が選択的に酸化されて、酸化膜5Aが形成される。酸化膜5Aの幅は、たとえば、拡散分離領域5Bの幅より狭くされ、酸化膜5Aの形成後、酸化膜5Aの周囲に拡散分離領域5Bが露出するようにされる。光電変換層4は、酸化膜5Aおよび拡散分離領域5Bを含む素子分離領域5により、第1ないし第3光電変換領域6, 7, 8に分離される。この状態が、図6Cに示されている。

[0063] 次に、光電変換層4および素子分離領域5の上に、第1分割領域9を形成するためのレジスト膜27(マスク)が形成される(図6D参照)。レジスト膜27は開口27aを有しており、開口27a内には第1光電変換領域6が露出される。レジスト膜27は、第1分割領域32の連通孔32a(図5参照)に対応する領域の上にも形成される。開口27a内には、第1光電変換領域6周縁部の素子分離領域5が露出されていてもよい。

[0064] このような開口27aを有するレジスト膜27は、たとえば、光電変換層4および素子分離領域5の上に、レジスト膜27の前駆体を全面に塗布した後、露光および現像により開口27aを形成し、残余の前駆体を硬化させて得ることができる。

この状態で、開口27aを介して、所定の第1注入エネルギー(たとえば、3.0MeV～3.5MeV)で、n型の不純物(たとえば、リン)が注入されて、第1光電変換領域6の所定深さの位置に、連通孔32aを有する第1分割領域32が形成される。不純物の注入深さはその注入エネルギーに依存し、注入エネルギーが大きくなるほど不純物は光電変換層4の深部に注入される。このため、不純物の注入エネルギーを制御することにより、所定深さの位置に第1分割領域32を形成できる。

[0065] 第1分割領域32により、第1光電変換領域6は表層側の第1表層側領域6Cとシリコン基板2側の第1基板側領域6Dとに分割される。第1表層側領域6Cと第1基板側領域6Dとは、連通孔32aを介して連通されている。

次に、レジスト膜27が除去された後、第2分割領域10を形成するためのレジスト膜28が形成される(図6E参照)。レジスト膜28は開口28aを有しており、開口28a内には第2光電変換領域7が露出される。開口28a内には、第2光電変換領域7周縁部の素子分離領域5が露出されていてもよい。レジスト膜28は、レジスト膜27と同様の方法により形成できる。

- [0066] この状態で、開口28aを介して、第1注入エネルギーより小さい第2注入エネルギー（たとえば、2.0MeV～3.0MeV）で、n型の不純物（たとえば、リン）が注入されて、第2光電変換領域7の所定深さの位置に、第2分割領域10が形成される。これにより、第2分割領域10は、第1分割領域32より浅い位置に形成される。第2分割領域10により、第2光電変換領域7は表層側の第2表層側領域7Aとシリコン基板2側の第2基板側領域7Bとに分割される。
- [0067] 次に、レジスト膜28が除去された後、第3分割領域11を形成するためのレジスト膜29が形成される（図6F参照）。レジスト膜29は開口29aを有しており、開口29a内には第3光電変換領域8が露出される。開口29a内には、第3光電変換領域8周縁部の素子分離領域5が露出されていてもよい。レジスト膜29は、レジスト膜27と同様の方法により形成できる。
- [0068] この状態で、開口29aを介して、第2注入エネルギーより小さい第3注入エネルギー（たとえば、1.0MeV～2.0MeV）で、n型の不純物（たとえば、リン）が注入されて、第3光電変換領域8の所定深さの位置に、第3分割領域11が形成される。これにより、第3分割領域11は、第2分割領域10より浅い位置に形成される。第3分割領域11により、第3光電変換領域8は表層側の第1表層側領域8Aとシリコン基板2側の第3基板側領域8Bとに分割される。
- [0069] その後、所定のパターンを有するレジスト膜の開口を介して光電変換層4の表層部にn型の不純物が注入されてn⁺型の第1ないし第3最表層領域12, 13, 14が形成される。酸化膜5Aの周囲に拡散分離領域5Bが露出されている場合、第1ないし第3最表層領域12, 13, 14と拡散分離領域5Bとは、容易に接続される。
- さらに、所定のパターンを有するレジスト膜の開口を介して光電変換層4の表層部にp型の不純物が注入されてp⁺型の第1ないし第3信号取り出し領域15, 16, 17が形成されて、図5に示す光電変換デバイス31が得られる。
- [0070] 以上のように、光電変換デバイス1の製造工程において、フィルタや吸光材を形成する必要はなく、したがって、従来技術のように、第1ないし第3信号取り出し領域15, 16, 17にアノード電極24, 25, 26を接続するための開口をフィルタや吸光材に形成する必要もない。このため、この光電変換デバイス1は製造コストを低減できる。

図1、図2および図3Aないし図3Cに示す光電変換デバイス1を製造する場合は、上記の製造方法において、第1分割領域32(9)および第2分割領域10を形成する際の不純物の注入エネルギーがほぼ同じにされる。これにより、第1および第2分割領域9, 10は、光電変換層4の表面からほぼ同じ深さの位置に形成される。

- [0071] この場合は、レジスト膜27, 28を個別に形成して不純物を注入する代わりに、第1および第2光電変換領域6, 7を露出させる開口を有するレジスト膜を形成し、この開口を介した不純物の注入により、第1および第2分割領域9, 10を同時に形成できる。これにより、工程数の削減を図ることができる。むしろ、レジスト膜27, 28を個別に形成し、不純物の注入エネルギーを同じにして、第1および第2分割領域9, 10を個別に形成してもよい。
- [0072] 図7は、図1、図2および図3Aないし図3Cに示す光電変換デバイス1と、その駆動回路とを含むイメージセンサの回路図例である。図7において、並列に接続された第1フォトダイオード D_{1A} および第1表面フォトダイオード D_{1B} を1つのフォトダイオード D_1 で示しており、並列に接続された第2フォトダイオード D_{2A} および第2表面フォトダイオード D_{2B} を1つのフォトダイオード D_2 で示しており、並列に接続された第3フォトダイオード D_{3A} および第3表面フォトダイオード D_{3B} を1つのフォトダイオード D_3 で示している。
- [0073] このイメージセンサ41は、光電変換デバイス1(図7には、フォトダイオード D_1, D_2, D_3 のみ示す。)と、その駆動回路42とを備えている。駆動回路42は、各フォトダイオード D_1, D_2, D_3 との間で電気信号の入出力を行うための入出力制御部43、ならびに各フォトダイオード D_1, D_2, D_3 から得られた出力信号に基づいて演算処理を行い、赤色光、緑色光および青色光の光量を求める演算処理部44を備えている。
- [0074] フォトダイオード D_1, D_2, D_3 のカソード電極は、共通電極層3を介して入出力制御部43に接続されている。入出力制御部43により、共通電極層3を介してフォトダイオード D_1, D_2, D_3 に一括して逆バイアス電圧を印加できるようになっている。フォトダイオード D_1, D_2, D_3 に与えられる逆バイアス電圧は、第1基板側領域6Bおよび第1ないし第3表面側領域6A, 7A, 8A(図2参照)のすべてをほぼ完全に空乏化できる大きさを有する。
- [0075] 一方、各フォトダイオード D_1, D_2, D_3 の信号取り出し用のアノード電極24, 25, 26

は、それぞれスイッチトランジスタTsのソース／ドレイン電極の一方に接続されている。各スイッチトランジスタTsのソース／ドレイン電極の他方は、共通接続されていて、入出力制御部43に接続されており、各スイッチトランジスタTsに放電用の電圧を印加できるようになっている。

[0076] 各スイッチトランジスタTsのゲート電極には、入出力制御部43から個別に所定のゲート電圧を印加して、各スイッチトランジスタTsを個別にオンにすることができるようになっている。各スイッチトランジスタTsをオンにすることにより、対応するフォトダイオード D_1 , D_2 , D_3 のアノード電極24, 25, 26側の電位を所定の電位(基準電位)に再設定することができる。

[0077] また、各フォトダイオード D_1 , D_2 , D_3 のアノード電極24, 25, 26は、それぞれ出力トランジスタToのゲート電極にも接続されている。出力トランジスタToのソース／ドレイン電極の一方は接地されており、ソース／ドレイン電極の他方は抵抗Rを介して入出力制御部43に接続されている。

また、各出力トランジスタToのソース／ドレイン電極間には、入出力制御部43により、所定の電圧を印加できる。出力トランジスタToにおいて、ソース／ドレイン電極間に所定の電圧が印加されているとき、ゲート電極の電位に応じたドレイン電流が、ソース／ドレイン電極間に流れる。入出力制御部43は、この電流(以下、「出力信号」という。)の大きさを個別に測定できるようになっている。

[0078] このイメージセンサ41において、光電変換デバイス1を駆動回路41で駆動するとき、まず、入出力制御部43により、すべてのフォトダイオード D_1 , D_2 , D_3 に逆バイアス電圧が印加される。これにより、すべてのフォトダイオード D_1 , D_2 , D_3 の第1基板側領域6Bおよび第1ないし第3表面側領域6A, 7A, 8Aは、ほぼ完全に空乏化される。

[0079] 次に、入出力制御部43により、出力信号を得る対象のフォトダイオード D_1 に接続されたスイッチトランジスタTsが所定時間オンにされる。これにより、そのフォトダイオード D_1 のアノード電極24側の電位が、グランド(GND)等の所定の電位にされる。

その後、出力トランジスタToをオンにすると、フォトダイオード D_1 が生じる入射光量に応じた光起電力により、フォトダイオード D_1 のアノード電極24側の電位が、上記所

定の電位から変化する。すなわち、出力トランジスタ T_o のゲート電圧が変化し、これに伴って、出力トランジスタ T_o に流れるドレイン電流(出力信号)が変化する。このときの出力信号の変化量または変化後の(最終的な)電流値が、入出力制御部43により測定される。このようにして、フォトダイオード D_1 が受けた光の光量に対応する電気信号が得られる。

[0080] フォトダイオード D_1 の場合と同様にして、フォトダイオード D_2 , D_3 に接続された出力トランジスタ T_o の出力信号の変化量または変化後の電流値が、入出力制御部43により測定される。このようにして、フォトダイオード D_2 , D_3 が受けた光の光量に対応する電気信号が得られる。以上の操作により、一組のフォトダイオード D_1 , D_2 , D_3 について電気信号が得られる。

[0081] 得られた電気信号は、演算処理部44へと送られる。そして、演算処理部44において、赤色光の光量、緑色光の光量および青色光の光量が求められる。

このイメージセンサ41は、製造コストを低減できる光電変換デバイス1を備えているので、安価に製造することができる。

図5に示す光電変換デバイス31も、同様の駆動回路41により駆動できる。

[0082] 本発明の実施形態の説明は以上の通りであるが、本発明は、別の形態でも実施できる。たとえば、光電変換デバイス1や光電変換デバイス31において、最表層領域12, 13, 14は設けられていなくてもよい。すなわち、センサ部21, 22, 23は、それぞれ第1ないし第3表面フォトダイオード D_{1B} , D_{2B} , D_{3B} を備えていなくてもよい。

光電変換デバイス31の製造工程において、第1ないし第3分割領域32, 10, 11の形成順序は、上記の順序に限定されることなく、任意の順序とすることができる。たとえば、形成時の不純物の注入エネルギーが小さい順、すなわち、第3分割領域11、第2分割領域および第1分割領域32の順に形成してもよい。

[0083] 光電変換デバイス1の製造工程においても、第1ないし第3分割領域9, 10, 11は任意の順に形成できる。

また、図1では、光電変換デバイス1の第1ないし第3センサ部21, 22, 23の受光面積(第1ないし第3光電変換領域6, 7, 8の露出面積)は、ほぼ同じとしているが、第1ないし第3センサ部21, 22, 23ごとに異なる受光面積を有するようにされていて

もよい。

[0084] また、第1ないし第3信号取り出し領域15, 16, 17は、受光面(第1ないし第3光電変換領域6, 7, 8の露出面)の隅に設けられていてもよい。第1信号取り出し領域15は、上記の実施形態では、連通孔9a, 32aの上方に、平面視において連通孔9a, 32aとほぼ重なるように位置を合わせて形成されているが、連通孔9a, 32aとずれた位置に形成されていてもよい。

[0085] 本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の精神および範囲は添付の請求の範囲によってのみ限定される。

この出願は、2004年5月7日に日本国特許庁に提出された特願2004-138723に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

請求の範囲

- [1] 半導体基板上に積層された第1導電型の光電変換層と、
この光電変換層内に形成され、当該光電変換層を上記半導体基板に沿って第1光電変換領域、第2光電変換領域および第3光電変換領域に分離する第2導電型の素子分離領域と、
上記第1光電変換領域内において、上記光電変換層の表面から所定深さの位置に形成され、当該第1光電変換領域を表層側の第1表層側領域と上記半導体基板側の第1基板側領域とに分割しており、上記第1表層側領域と上記第1基板側領域とを連通する連通孔を有する第2導電型の第1分割領域と、
上記第2光電変換領域内において、上記第1分割領域とほぼ同じ深さの位置または上記第1分割領域よりも浅い位置に形成され、当該第2光電変換領域を表層側の第2表層側領域と上記半導体基板側の第2基板側領域とに分割する第2導電型の第2分割領域と、
上記第3光電変換領域内において、上記第2分割領域よりも浅い位置に形成され、当該第3光電変換領域を表層側の第3表層側領域と上記半導体基板側の第3基板側領域とに分割する第2導電型の第3分割領域とを含む、光電変換デバイス。
- [2] 半導体基板上に積層された第1導電型の光電変換層と、
この光電変換層の表面から所定深さの位置に形成され、当該光電変換層を表層側の表層側領域と上記半導体基板側の基板側領域とに分割しており、上記表層側領域と上記基板側領域とを連通する連通孔を有する第2導電型の分割領域とを含む、光電変換デバイス。
- [3] 光電変換デバイスと、
この光電変換デバイスを駆動するための駆動回路とを含み、
上記光電変換デバイスが、
半導体基板上に積層された第1導電型の光電変換層と、
この光電変換層内に形成され、当該光電変換層を上記半導体基板に沿って第1光電変換領域、第2光電変換領域および第3光電変換領域に分離する第2導電型の素子分離領域と、

上記第1光電変換領域内において、上記光電変換層の表面から所定深さの位置に形成され、当該第1光電変換領域を表層側の第1表層側領域と上記半導体基板側の第1基板側領域とに分割しており、上記第1表層側領域と上記第1基板側領域とを連通する連通孔を有する第2導電型の第1分割領域と、

上記第2光電変換領域内において、上記第1分割領域とほぼ同じ深さの位置または上記第1分割領域よりも浅い位置に形成され、当該第2光電変換領域を表層側の第2表層側領域と上記半導体基板側の第2基板側領域とに分割する第2導電型の第2分割領域と、

上記第3光電変換領域内において、上記第2分割領域よりも浅い位置に形成され、当該第3光電変換領域を表層側の第3表層側領域と上記半導体基板側の第3基板側領域とに分割する第2導電型の第3分割領域とを備えている、イメージセンサ。

[4] 光電変換デバイスと、

この光電変換デバイスを駆動するための駆動回路とを含み、

上記光電変換デバイスが、

半導体基板上に積層された第1導電型の光電変換層と、

この光電変換層の表面から所定深さの位置に形成され、当該光電変換層を表層側の表層側領域と上記半導体基板側の基板側領域とに分割しており、上記表層側領域と上記基板側領域とを連通する連通孔を有する第2導電型の分割領域とを備えている、イメージセンサ。

[5] 半導体基板上に第1導電型の光電変換層を積層する積層工程と、

上記光電変換層内に、当該光電変換層を上記半導体基板に沿って第1光電変換領域、第2光電変換領域および第3光電変換領域に分離する第2導電型の素子分離領域を形成する素子分離工程と、

上記第1光電変換領域内において、上記光電変換層の表面から所定深さの位置に、当該第1光電変換領域を表層側の第1表層側領域と上記半導体基板側の第1基板側領域とに分割し、かつ、上記第1表層側領域と上記第1基板側領域とを連通する連通孔を有する第2導電型の第1分割領域を形成するとともに、上記第2光電変換領域内において、上記第1分割領域とほぼ同じ深さの位置に、当該第2光電変換領域

域を表層側の第2表層側領域と上記半導体基板側の第2基板側領域とに分割するための第2導電型の第2分割領域を形成する工程と、

上記第3光電変換領域内において、上記第2分割領域よりも浅い位置に、当該第3光電変換領域を表層側の第3表層側領域と上記半導体基板側の第3基板側領域とに分割するための第2導電型の第3分割領域を形成する工程とを含む、光電変換デバイスの製造方法。

- [6] 上記第1分割領域および上記第2分割領域を形成する工程は、上記光電変換層の表面から第2導電型の不純物を所定の注入エネルギーで注入する工程を含み、

上記第3分割領域を形成する工程は、上記光電変換層の表面から第2導電型の不純物を上記所定の注入エネルギーよりも小さな注入エネルギーで注入する工程を含む、請求項5記載の光電変換デバイスの製造方法。

- [7] 半導体基板上に第1導電型の光電変換層を積層する積層工程と、

上記光電変換層内に、当該光電変換層を上記半導体基板に沿って第1光電変換領域、第2光電変換領域および第3光電変換領域に分離する第2導電型の素子分離領域を形成する素子分離工程と、

上記第1光電変換領域内において、上記光電変換層の表面から所定深さの位置に、当該第1光電変換領域を表層側の第1表層側領域と上記半導体基板側の第1基板側領域とに分割し、かつ、上記第1表層側領域と上記第1基板側領域とを連通する連通孔を有する第2導電型の第1分割領域を形成する工程と、

上記第2光電変換領域内において、上記第1分割領域よりも浅い位置に、当該第2光電変換領域を表層側の第2表層側領域と上記半導体基板側の第2基板側領域とに分割するための第2導電型の第2分割領域を形成する工程と、

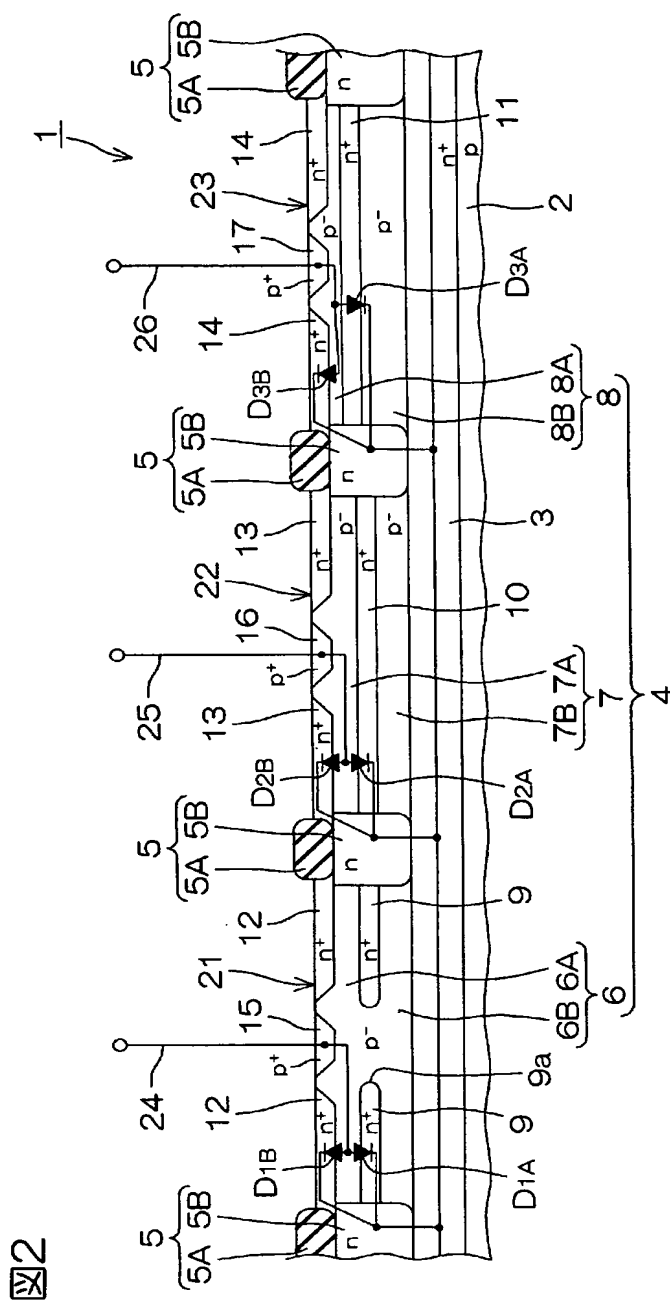
上記第3光電変換領域内において、上記第2分割領域よりも浅い位置に、当該第3光電変換領域を表層側の第3表層側領域と上記半導体基板側の第3基板側領域とに分割するための第2導電型の第3分割領域を形成する工程とを含む、光電変換デバイスの製造方法。

- [8] 上記第1分割領域を形成する工程は、上記光電変換層の表面から第2導電型の不純物を所定の第1注入エネルギーで注入する工程を含み、

上記第2分割領域を形成する工程は、上記光電変換層の表面から第2導電型の不純物を上記第1注入エネルギーよりも小さな第2注入エネルギーで注入する工程を含み、

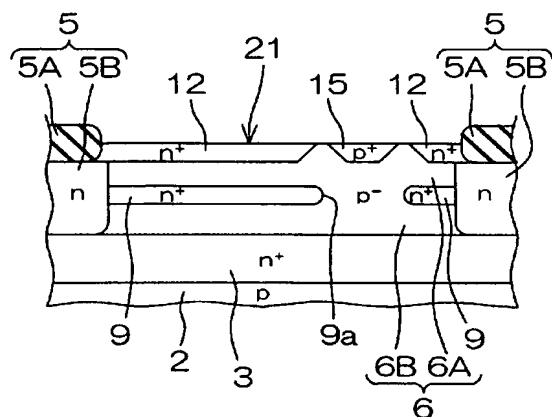
上記第3分割領域を形成する工程は、上記光電変換層の表面から第2導電型の不純物を上記第2注入エネルギーよりも小さな第3注入エネルギーで注入する工程を含む、請求項7記載の光電変換デバイスの製造方法。

[図2]



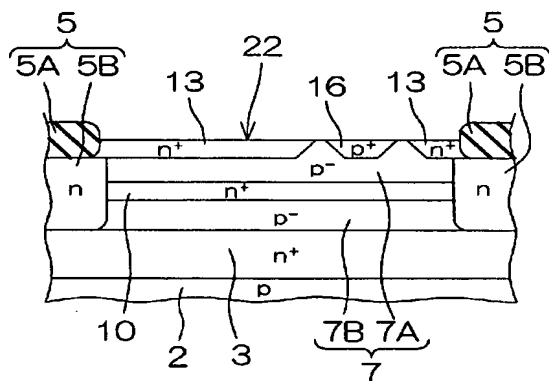
[図3A]

図3A

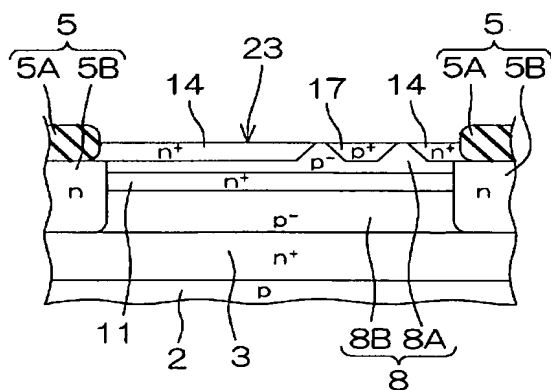


[図3B]

图 3B

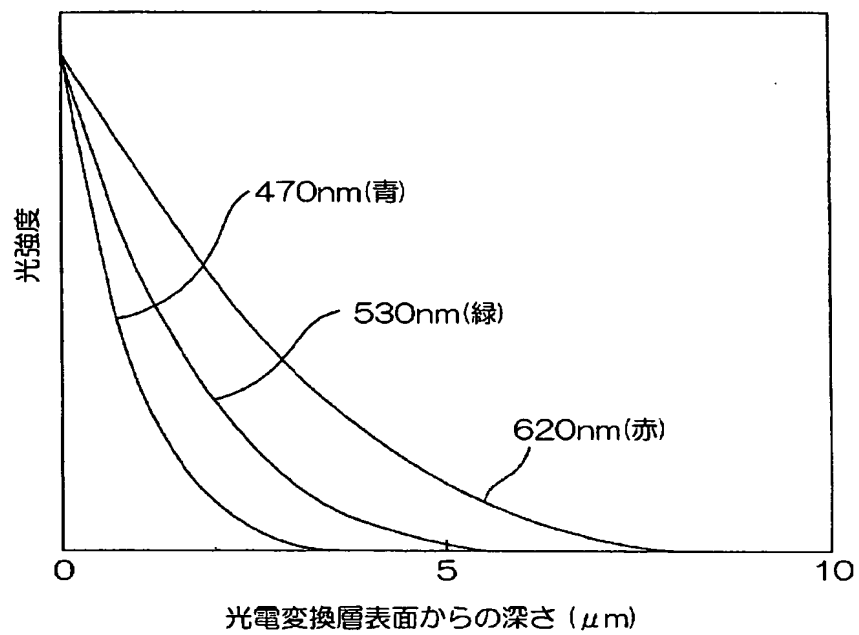


[図3C]



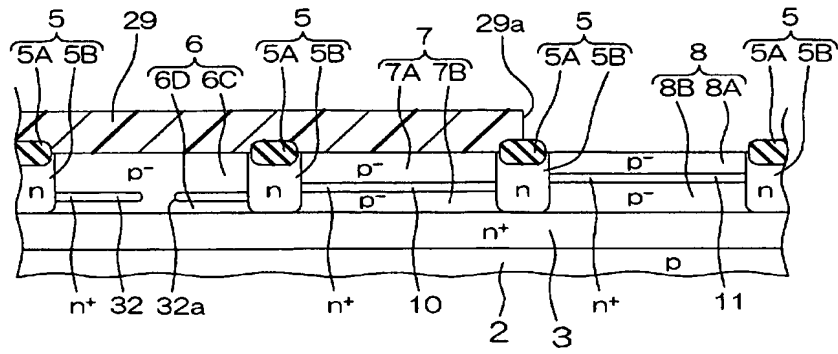
[図4]

図4

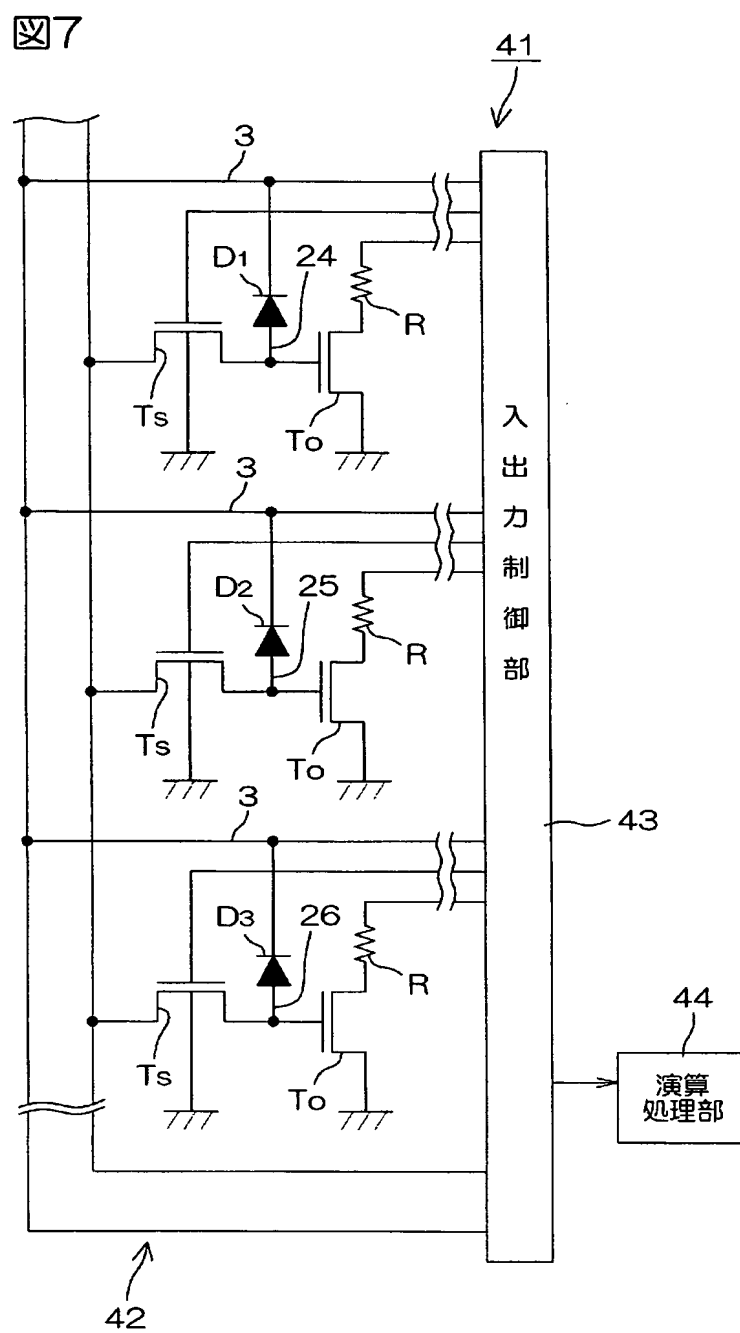


[図6F]

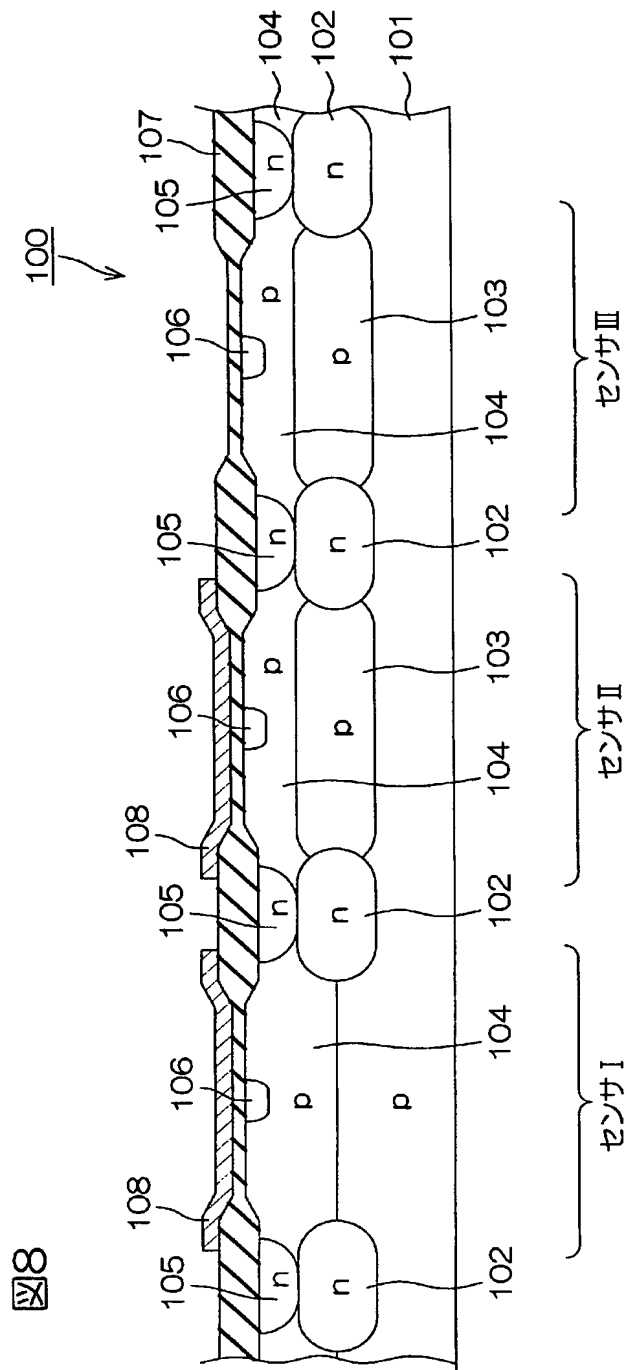
図6F



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/008303

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H01L27/146, 31/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H01L27/146, 31/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2001-53330 A (Tokai Rika Co., Ltd.), 23 February, 2001 (23.02.01), Full text; all drawings (Family: none)	2, 4 1, 3, 5-8
A	JP 58-14569 A (Olympus Optical Co., Ltd.), 27 January, 1983 (27.01.83), Full text; all drawings (Family: none)	1-8
A	JP 61-285760 A (Canon Inc.), 16 December, 1986 (16.12.86), Full text; all drawings (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
21 June, 2005 (21.06.05)

Date of mailing of the international search report
05 July, 2005 (05.07.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/008303

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-228513 A (Gendai Denshi Sangyo Kabushiki Kaisha), 15 August, 2000 (15.08.00), Full text; all drawings & KR 44627 A & TW 437080 A & US 2002/96696 A1	1-8
A	JP 8-316521 A (Canon Inc.), 29 November, 1996 (29.11.96), Full text; all drawings (Family: none)	1-8

COPIED
2005/08/04

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L27/146, 31/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L27/146, 31/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2001-53330 A (株式会社東海理化電機製作所) 2001.02.23, 全文, 全図 (ファミリーなし)	2, 4
A		1, 3, 5-8
A	JP 58-14569 A (オリンパス光学工業株式会社) 1983.01.27, 全文, 全図 (ファミリーなし)	1-8
A	JP 61-285760 A (キヤノン株式会社) 1986.12.16, 全文, 全図 (ファミリーなし)	1-8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

21.06.2005

国際調査報告の発送日

05.7.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柴山 将隆

電話番号 03-3581-1101 内線 3498

4L

3035

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-228513 A (現代電子産業株式会社) 2000. 08. 15, 全文, 全図 &KR 44627 A &TW 437080 A &US 2002/96696 A1	1-8
A	JP 8-316521 A (キヤノン株式会社) 1996. 11. 29, 全文, 全図 (ファミリーなし)	1-8